

6160 1st Avenue, N.E. Seattle, WA 98105

**19 BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

Offenlegungsschrift
DE 198 51 703 A 1

DOCKET NO. 44-600-103
(5) Int. Cl.:

Int. Cl. :
H 01 L 21/20
H 01 L 21/312
H 01 L 21/3213
H 01 L 51/00

(21) Aktenzeichen: 198 51 703.3
 (22) Anmeldetag: 30. 10. 1998
 (43) Offenlegungstag: 4. 5. 2000

DE 198 51 703 A1

⑦ Anmelder:
Institut für Halbleiterphysik Frankfurt (Oder) GmbH,
15230 Frankfurt, DE

⑦⁴ Vertreter:
Heitsch, W., Pat.-Anw., 14778 Jeserig

(72) Erfinder:
Ourmazd, Abbas, Prof. Dr., 14193 Berlin, DE;
Kissinger, Gudrun, Dr., 15326 Lebus, DE; Neumann,
Wolfgang, 15306 Falkenhagen, DE; Neumann,
Burkhard, 16225 Eberswalde, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht zu ziehende Druckschriften:

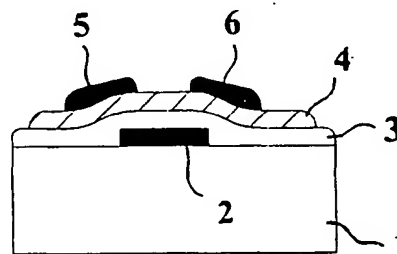
DE	196	28	119	A1
US	57	47	182	A
US	55	00	537	A
US	52	06	525	A
US	51	51	386	A
FP	02	52	756	A2

Laser Deposition Of Metal Films With Organo-Metal INK. In: IBM Technical Disclosure Bulletin, Vol.31, No.7, Dec. 1988, S.45,46;
JP 58-27375 A, In: Patents Abstracts of Japan, E-174, May 11, 1983, Vol.7, No.107;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Verfahren zur Herstellung von elektronischen Strukturen

57 Aufgabe der Erfindung ist es, ein Verfahren zur Herstellung von Schaltkreisstrukturen vorzuschlagen, bei dem insbesondere Polymere in Form von leitenden, halbleitenden und isolierenden Schichten strukturiert aufgebracht werden, wobei eine Justage der Ebenen möglich ist. Erfindungsgemäß wird diese Aufgabe gelöst, indem eine isolierende und/oder halbleitende und/oder leitfähige Schicht entsprechend der zu erzielenden elektronischen Struktur mittels Plotter auf ein Substrat aufgebracht wird. Die aufgetragenen Substanzen liegen dabei in flüssiger oder gelöster Form oder als Suspension vor. Anschließend werden die aufgetragenen Substanzen durch Tempern oder Trocknen verfestigt. Nachfolgend werden, wahlweise mehrfach wiederholt, isolierende und/oder halbleitende und/oder leitfähige Schichten entsprechend der zu erzielenden elektronischen Struktur durch Plotten, Aufsprühen, Aufschleudern oder Aufstreichen aufgebracht und die jeweils aufgetragene Schicht durch Tempern oder Trocknen verfestigt. Anschließend wird die aufgetragene elektronische Struktur mit einer isolierenden Schicht versiegelt und in üblicher Weise kontaktiert und komplettiert.



DE 198 51 703 A 1

BEST AVAILABLE COPY

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zur Herstellung von elektronischen Strukturen.

Gegenüber herkömmlichen Verfahren zur Herstellung von elektronischen Strukturen, insbesondere integrierten Schaltungen, z. B. mittels Epitaxie-, Ätz- und Temperprozessen basierend auf Silizium-Wafern, ist die Anwendung der Drucktechnologie von Polymermaterialien erheblich schneller und kostengünstiger. Des weiteren ist diese Technologie vielseitiger einsetzbar, da die verwendeten Materialien nicht solch extremen Temperaturen und Drücken ausgesetzt ist wie beispielsweise bei Epitaxie- und Oxidationsverfahren.

Bisher wurden Polymere zur Herstellung von Schaltkreisstrukturen mittels Siebdruck auf Waferoberflächen gebracht. Dies hatte jedoch den Nachteil, daß die erzielten Schichtdicken für die Herstellung beispielsweise von Transistoren zu groß waren, um gute elektrische Eigenschaften zu erhalten.

Weiterhin besteht die Möglichkeit, mit Hilfe von Tinten- oder Laserstrahldruckem Polymere auf Waferoberflächen aufzudrucken. Bisher ist es jedoch nicht möglich, strukturierte Schichten in mehreren übereinanderliegenden Ebenen aufzubringen. Dies scheitert an der fehlenden Justagemöglichkeit. Da mehrere Schichten nur aufgebracht werden können, wenn eine genügend große Trocknungszeit der einzelnen Schichten eingehalten wird, ist dies mit Tintenstrahl- oder Laserdruckem nicht möglich. Ist die Trocknungszeit zu gering, kommt es zur Vermischung der Schichten, was eine Unbrauchbarkeit der Struktur zur Folge hätte.

Aufgabe der Erfindung ist es, ein Verfahren zur Herstellung von Schaltkreisstrukturen vorzuschlagen, bei dem die Nachteile des Standes der Technik beseitigt werden und insbesondere Polymere in Form von leitenden, halbleitenden und isolierenden Schichten strukturiert aufgebracht werden, wobei eine Justage der Ebenen möglich ist. Des weiteren ist es Aufgabe der Erfindung, daß das Verfahren derart gestaltet ist, daß Bauelemente und deren Verbindungen auf flexiblen Substraten aufgebracht werden können. Ein komplettes Aufbringen von Schaltkreislays in einer oder mehreren Ebenen soll durch erfindungsgemäßes Verfahren möglich sein. Weiterhin ist es Aufgabe der Erfindung, daß Schaltkreise und andere elektronische Bauelemente auch aus anderen Materialien als Silizium hergestellt werden können.

Erfindungsgemäß wird diese Aufgabe gelöst, indem eine isolierende und/oder halbleitende und/oder leitfähige Schicht entsprechend der zu erzielenden elektronischen Struktur mittels Plotter auf ein Substrat aufgebracht wird. Als Substrate eignen sich sowohl feste als auch flexible Wafer, Glas, Folie oder ähnliche. Form, Größe und Dicke des Substrats spielen dabei eine untergeordnete Rolle. Die aufgetragenen Substanzen liegen dabei in flüssiger oder gelöster Form oder als Suspension vor. Insbesondere werden isolierende und/oder halbleitende und/oder leitfähige Polymere aufgebracht.

Anschließend werden die aufgetragenen Substanzen durch Tempern oder Trocknen verfestigt. Nachfolgend werden, wahlweise mehrfach wiederholt, isolierende und/oder halbleitende und/oder leitfähige Schichten entsprechend der zu erzielenden elektronischen Struktur durch Plotten, Aufsprühen, Aufschleudern oder Aufstreichen aufgebracht und die jeweils aufgetragene Schicht durch Tempern oder Trocknen verfestigt.

Abschließend wird die aufgetragene elektronische Struktur mit einer isolierenden Schicht versiegelt und in üblicher Weise kontaktiert und komplettiert.

Durch dieses Verfahren werden sowohl elektronische Bauelemente als auch die Verbindungen einzelner Bauele-

mente in integrierten Schaltungen hergestellt.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und den Zeichnungen hervor. Ausführungsbeispiele der Erfindung werden im folgenden näher erläutert.

Die Zeichnungen zeigen:

Fig. 1 bis 3 schematische Darstellungen schaltungsfähiger Feldeffekttransistoren

Beispiel 1

In diesem Ausführungsbeispiel wird die Herstellung eines schaltungsfähigen Feldeffekttransistors beschrieben.

Fig. 1 zeigt den schematischen Aufbau eines derartigen Transistors. Zuerst wird ein leitfähiges Polymer durch Plotten auf eine Waferoberfläche 1 aufgetragen und mittels Temperung verfestigt. Diese leitende Schicht stellt den Gate-Kontakt 2 des Feldeffekttransistors dar. Anschließend erfolgt das Plotten einer isolierenden Schicht 3 auf das verfestigte leitfähige Polymer. Auch die isolierende Schicht 3 wird mittels Temperung verfestigt. Danach erfolgt das Plotten einer halbleitenden Schicht 4 auf die verfestigte isolierende Schicht und anschließendes Verfestigen der halbleitenden Schicht mittels Temperprozeß. Nachfolgend wird eine Schicht eines leitfähigen Polymers durch Plotten aufgebracht und durch einen weiteren Temperprozeß verfestigt. Diese Schicht beinhaltet den Source-Kontakt 5 und den Drain-Kontakt 6.

Zuletzt wird die Struktur mit einer in der Figur nicht dargestellten isolierenden Schicht versiegelt und das Bauelement in üblicher Form kontaktiert.

Beispiel 2

In diesem Ausführungsbeispiel wird ebenfalls die Herstellung eines schaltungsfähigen Feldeffekttransistors beschrieben.

Wie in Fig. 2 dargestellt, wird zuerst ein leitfähiges Polymer durch Plotten auf eine Waferoberfläche 1 aufgetragen und mittels Temperung verfestigt. Diese leitende Schicht stellt den Gate-Kontakt 2 des Feldeffekttransistors dar. Anschließend erfolgt das Plotten einer isolierenden Schicht 3 auf das verfestigte leitfähige Polymer. Auch die isolierende Schicht 3 wird mittels Temperung verfestigt. Nachfolgend wird eine Schicht eines leitfähigen Polymers durch Plotten aufgebracht und durch einen weiteren Temperprozeß verfestigt. Diese Schicht beinhaltet den Source-Kontakt 5 und den Drain-Kontakt 6.

Danach erfolgt das Plotten einer halbleitenden Schicht 4 auf die verfestigte isolierende Schicht 3 und auf die den Source-Kontakt 5 und den Drain-Kontakt 6 beinhaltende Schicht eines leitfähigen Polymers und anschließendes Verfestigen der halbleitenden Schicht 4 mittels Temperprozeß.

Zuletzt wird die Struktur mit einer in der Figur nicht dargestellten isolierenden Schicht versiegelt und das Bauelement in üblicher Weise komplettiert.

Beispiel 3

Fig. 3 zeigt schematisch den Aufbau eines weiteren schaltungsfähigen Feldeffekttransistors. Zuerst wird ein leitfähiges Polymer durch Plotten auf eine Waferoberfläche 1 aufgetragen und mittels Temperung verfestigt. Diese Schicht beinhaltet den Source-Kontakt 5 und den Drain-Kontakt 6. Danach erfolgt das Plotten einer halbleitenden Schicht 4 auf die verfestigte leitfähige Polymer-Schicht und auf die Waferoberfläche 1 und anschließendes Verfestigen der halbleitenden Schicht 4 mittels Temperprozeß.

Danach erfolgt das Plotten einer isolierenden Schicht 3. Auch die isolierende Schicht 3 wird mittels Temperung verfestigt.

Nachfolgend wird eine Schicht eines leitfähigen Polymers durch Plotten aufgebracht und durch einen weiteren Temperprozeß verfestigt. Diese leitende Schicht stellt den Gate-Kontakt 2 des Feldeffekttransistors dar.

Zuletzt wird die Struktur mit einer isolierenden Schicht versiegelt und das Bauelement in üblicher Weise kontaktiert und komplettiert.

In der vorliegenden Erfindung wurde anhand konkreter Ausführungsbeispiele ein Verfahren zur Herstellung von elektronischen Strukturen erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung in den Ausführungsbeispielen eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden.

Patentansprüche

1. Verfahren zur Herstellung von elektronischen Strukturen, **dadurch gekennzeichnet**, daß
 - isolierende und/oder halbleitende und/oder leitfähige Schichten nacheinander wahlweise ein- oder mehrfach entsprechend der zu erzielenden elektronischen Struktur durch Plotten, Aufsprühen, Aufschleudern oder Aufstreichen auf ein Substrat aufgebracht und die jeweils aufgebrachte Schicht durch Tempern oder Trocknen verfestigt wird und
 - abschließend die aufgebrachte elektronische Struktur mit einer isolierenden Schicht, versiegelt sowie kontaktiert und komplettiert wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß mindestens eine Schicht mittels Plotter aufgebracht wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß als Substrat sowohl feste, als auch flexible Substrate, insbesondere Wafer, Glas oder Folie, Verwendung finden.
4. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß als Schichten aufgebrachte Substanzen in flüssiger oder gelöster Form oder als Suspension aufgetragen werden.
5. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß als Schichten isolierende und/oder halbleitende und/oder leitfähige Polymere aufgetragen werden.
6. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß elektronische Bauelemente und/oder Verbindungen einzelner Bauelemente in integrierten Schaltungen hergestellt werden.

Hierzu 1 Seite(n) Zeichnungen

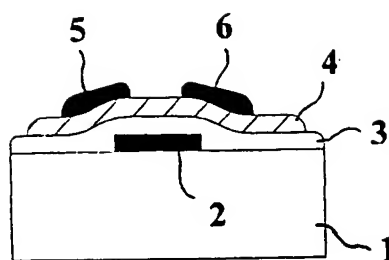


Fig. 1

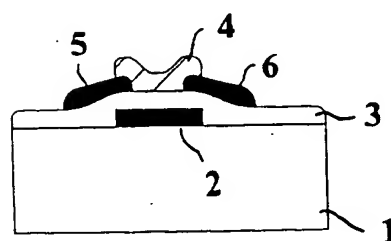


Fig. 2

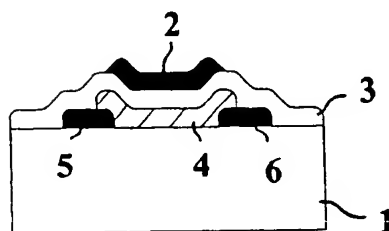


Fig. 3

BEST AVAILABLE COPY